

Hel-07-158458 (Sumitomo Sltb) May 31, 1995

Title: Silicon single crystalline wafer and method for manufacturing

Objective: Silicon wafer having no defects on all wafer area.

Method: In growing CZ silicon crystal, the V/G value is maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  from the radial center to 30 mm from the crystal periphery, and within 30mm from the periphery also maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  or increased steadily toward the crystal periphery, where V and G are, respectively, the pull rate in mm/min and average axial temperature gradient from the silicon melting point to 1300 deg. C. Under these crystal growth conditions OISF-ring collapses into the radial center, and dislocation clusters which form generally outside the OISF-ring do not occur in the whole silicon wafer.

*Claims of the patent application:*

**Claim 1:** Silicon single crystal wafer characterized by a CZ crystal grown at a low pull rate so that OISF ring is collapsed at the radial center, and further characterized by the elimination of dislocation cluster from the whole silicon wafer.

**Claim 2:** CZ silicon crystal growth method where the V/G value is maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  from the radial center to 30 mm from the crystal periphery, and within 30mm from the periphery also maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  or increased steadily toward the crystal periphery, where V and G are, respectively, the pull rate in mm/min and average axial temperature gradient from the silicon melting point to 1300 deg. C.

*Detailed explanation of the invention:*

[0001] (Application area in the industry)

The present invention pertains to the CZ silicon wafer being employed to manufacture semiconductor devices, and to the method to manufacture the said silicon wafer.

[0002]

[traditional techniques] Silicon wafers being employed to manufacture semiconductor devices are made of crystals grown by CZ technique. As well known, in CZ silicon crystal growth, cylindrical single crystal is pulled from silicon melt contained in fused silica crucible. The crystal pull rate is in general in the range 1.0-2.0 mm/min.

[0003]

In CZ silicon wafers, typically OISF ring due to the oxidation induced stacking faults is sometimes generated when oxidized at 1000-1200 deg. C for 1-10 hours. It is well known that the ring radius increases toward the crystal periphery with increase in the crystal pull rate. In silicon wafers being employed for today's LSI manufacturing, the OISF ring is located at the close vicinity of the crystal periphery by pulling relatively fast, e.g., 1.0-2.0 mm/min. (translator's note: 150 mm dia. crystal growth parameters in this Patent).

[0004]

However, in wafers made of crystals grown at such a high pull rate, various kinds of microdefects (called grown-in defects henceforth) are present, which degrade gate oxide integrity of MOS devices. Such microdefects are thermally stable, and do not get eliminated during device processing. If they are present in device active surface region, they are known to cause leakage as well (Horikawa et al, Semiconductor Silicon 1994, page 987).

[0005]

With increased level of integration of recent LSI MOS semiconductor devices, whereby the gate oxide thickness decreases, source and drain diffusion depth becomes shallow, it's needed to increase GOI and decrease the leakage current. Wafers of crystals grown with high pull rate being applied now for LSI device manufacturing are of not sufficient quality to meet the requirements.

[0006]

Recently crystal growth method with a medium rate of 0.8 mm/min or less was proposed in a Patent Application Hei-2-267195. However, wafers grown with the medium-low pull rate have still problematic quality issues to be explained in the following.

[0007] (Issues to be solved by the present Invention) <<<<

In general, the temperature distribution in the crystal is dependent on the hotzone (growth configuration) in the CZ growth chamber. The thermal distribution does not change significantly if the pull rate is changed. Therefore, in crystals grown at different pull rates with the same hotzone, a relationship between the distribution of the formed defects and the pull rates is observed as seen in Fig. 1. If the hotzone is changed, there is some change in the relationship, but hardly no changes in the general behavior (tendency).

[0008]

In a crystal grown at a medium pull rate of 0.8-0.6 mm/min, OISF ring is present at about R/2 location as seen in Fig. 1(A). Material characteristics inside and outside the ring is different; namely outside the ring region GOI is excellent.

[0009]

Inside the ring, however, various kinds of grown-in defects are present, and GOI is not good. In as-grown wafer, IR scattering defects at about  $10^6$  /cm<sup>3</sup> are measured by IR LST. These defects supposedly of oxygen precipitates are stable even in high temperature anneal, not eliminated during device processing, persist in the device active, and degrade current leakage characteristics.

[0010]

In the OISF ring, of about several to 10 mm width, high density SFs of about  $10^4$  /cm<sup>2</sup> degrades the semiconductor characteristics, i.e. leakage. Furthermore, high density oxygen precipitates of  $1E8$  -  $1E9$  /cm<sup>3</sup> are formed in the ring. The nuclei of the oxygen precipitates are thermally stable, growing even at 1250 deg.C anneal. Thus the ring area degrades the device characteristics after processing.

[0011]

When the pull rate is lowered to 0.6-0.5 mm/min, the OISF ring diam. is somewhat decreased as seen in Fig. 1(B), forming an OISF disk in the radial center. Outside the OISF disk, dislocation clusters of about 10-20  $\mu$ m and 1000 /cm<sup>2</sup> density are formed, which are well known to degrade the semiconductor characteristics.

[0012]

CZ silicon contains oxygen at a level of  $1-2E18$  atoms/cm<sup>3</sup>. As described above, oxygen precipitates during device processing, e.g., 600-1150 deg.C, several tens of hours. Oxygen preipitates degrades device characteristics if present in the device active region, but also getters heavy metallic impurities during device processing.

[0013]

Inside the OISF ring region high density oxygen precipitates are present, capable of gettering (called IG henceforth); on the other hand, outside the ring where dislocation clusters are formed, IG is not operative due to lack of oxygen precipitation.

[0014]

Thus wafers of the medium pull rates, 0.2-0.5 mm/min have OISF ring. They are not suitable for manufacturing high level integration devices, because the defects are present in- and outside the ring as well as in the ring area itself.

[0015]

On the other hand, when the pull rate is lowered less than 0.5 mm/min, the ring disappears at the radial center, and the LSTD defect region immediately the ring disappears concurrently. But dislocation clusters are formed in whole wafer to degrade the device characteristics and to lower IG ability. Therefore, the low pull rate wafers are not suitable for the high level integration device applications.

[0016]

Thus CZ wafers to date grown at any pull rates contains harmful defects at least in some part in the radial direction, and non-defects wafers in the whole area have not been produced.

[0017]

The objective of invention is to provide high quality wafer without defects in the whole wafer and a method to produce such wafers as well.

[0018] (Method to solve the problems)

Previously present inventors obtained important facts regarding to the location of the OISF ring as will be described in the following.

[0019]

In a same type of puller with a same hotzone, OISF ring diameter depends only on the pull rate, decreasing with decrease in the pull rate. In a different puller with a change in the hotzone design, OISF ring diameter is different even at the same pull rate. However, the OISF diameter is determined uniquely by V/G ratio, where V is the pull rate in mm/min and G in deg.C/mm is the average axial temperature gradient in the crystal from melting point to 1300 deg.C. By controlling the V/G value, it's possible to form the OISF ring of an arbitrary diameter or eliminate it.

[0020]

Although it's possible to control the OISF ring diameter by controlling V/G values, it has been impossible to eliminate the grown defects including LSTDs and dislocation clusters.

[0021]

Therefore present inventors investigated effects of the V/G value on the defects distribution as in the following. Temperature distribution was obtained by means of global thermal analysis in case that the solid-liquid interface exists at the distance of 100, 200, 300, and 400 mm from the crystal shoulder. Unless effect of the convections in the melt on the temperature distribution was taken into account, the s-l interface shape might be different from the actual, which would lead somewhat different temperature gradient in the solid from the actual, especially in the high temperature region in the vicinity of the s-l interface. In order to improve the issue in the calculation and to obtain an accurate temperature distribution at the high temperature, the s-l interface shapes at the various crystal lengths mentioned were measured from the actual crystal. Assuming silicon melting point at the said measured s-l interface and the temperature distribution on the crystal surface from the thermal analysis as the boundary conditions, temperature distribution inside the crystal was re-calculated taking. Then radial distribution of the axial temperature gradient (at the s-l interface) was calculated. Fig.2 shows defects distribution in a plot of V/G vs. radius of the crystal.

[0022]

As indicated in Fig.2, at  $V/G < 0.20 \text{ mm}^2/\text{C} \cdot \text{min}$ , dislocation clusters are formed in all radial positions. As the V/G ratio increases from 0.20, different defect regimes occur, i.e., non-defect, OISF ring, and LSTD regimes. In the non-defect regime, the lower limit of V/G is 0.2, independent of radial positions. The upper limit is constant from axis to 30 mm from the crystal periphery at 0.22; in the region from 30 mm to the periphery, it increases

continually from 0.22 toward the periphery. Thus the various defects in different hot zones follows the defects regimes shown in Fig.2.

[0023]

Once hot zone structure and pull rates are given, crystal puller impacts the radial profile of the V/G ratio, shown as broken line in Fig.2. At a pull rate of  $V_1$ , the V/G curve passes from LSTD regime where LSTDs form to OISF ring where OISF ring defects form. Thus at  $V_1$ , an OISF ring is formed at wafer edge; LSTDs are formed inside the ring. When a lower pull rates, the V/G curves changes as indicated by  $V_2, V_3, V_4, V_5$  in Fig.2, and the radial distribution of the defects is changed.

[0024]

There are several items to point out. First a V/G ratio exists in CZ silicon crystal growth whereby no defects are formed in all radial positions, in other word, it's possible to eliminate all defects in the whole crystal radius. Secondly, in the conventional crystal growth, the V/G curves "tilted" downward toward the crystal periphery at all pull rates (see Fig.2), which have made it impossible to get non-defect in the whole crystal radius.

[0025]

V/G "tilting" downward at the crystal periphery is due the fact that the axial temperature gradient at the periphery is higher vs. at the axis, as will be described later. In other words, at a given pull rate, G increases from the axis to the periphery, causing V/G tilting. Therefore, it's not possible in conventional CZ to eliminate defects in whole wafer although there exist a V/G ratio to eliminate defects in all radial positions.

[0026]

For example at  $V=V_1$ , OISF ring is formed close to the edge, and inside the ring LSTDs are formed. This corresponds to the traditional high pull rate growth. At lower pull rates,  $V_2, V_3$ , OISF ring forms in mid radial positions; no defects outside, but LSTDs inside the ring. This corresponds to the case of Fig.1(A) grown at medium pull rates. At further lower pull rate  $V_4$ , OISF are formed in the wafer center region; no defects region outside, but dislocation clusters at the edge region. This corresponds to Fig.1(B) grown at a medium pull rate. At further lower rate  $V_5$ , OISF ring disappears at the axis, and dislocation clusters are formed in the whole wafer. This corresponds to Fig.1(C) grown at a low pull rate. On the other hand, if V/G is designed to realize at radial center region 0.20-0.22, a value for no defects, dislocation clusters will be formed outside the center region because V/G decreases steadily toward the edge.

[0027]

As described above, although a V/G ratio exists to grow wafers without defects in all radial positions, it's not possible to produce CZ wafers without defects in the whole wafer because the V/G curve "tilts" downward toward the crystal periphery.

[0028]

If the V/G curve is a straight line or tilts upward toward the crystal periphery, it's possible to prevent defect formation in all radial positions. Based on the hypothesis, present inventors carried out investigations and analysis. By designing a proper hotzone in the puller, a V/G curve of a straight line or tilting upward toward the crystal periphery can be realized as seen in Fig.2 as solid lines. As a result, no defects are formed in all radial positions of the wafer. Thus the inventors came to the conclusion that defects free wafer can be produced which has been considered impossible to date, and thus the present invention is completed.

[0029]

The present invented silicon single crystal wafer are characterized by a CZ crystal grown at a low pull rate so that OISF ring induced by thermal oxidation is collapsed at the radial center, and further characterized by the elimination of dislocation cluster from the whole silicon wafer.

[0030]

The wafer production method is characterized by the CZ silicon crystal growth method where the V/G value is maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  from the radial center to 30 mm from the crystal periphery, and within 30mm from the periphery also maintained at  $0.2-0.22 \text{ mm}^2/\text{deg. C-min}$  or increased steadily toward the crystal

periphery, where V and G are, respectively, the pull rate in mm/min and average axial temperature gradient from the silicon melting point to 1300 deg.C.

[0031]

[Function of the invention]Wafers of this invention are of low pull rate; OISF ring disappears at the axis; no OISFs nor LSTDs are present which occur inside the ring; dislocation clusters are not present which occur outside the ring; thus high quality wafers are obtained without any harmful defects in whole wafer.

[0032]

In the wafer production method of the present invention, temperature distribution in the CZ hotzones is designed so that V/G curve lies inside the no-defects formation regime, lower limit being a constant value of 0.20; upper limit a constant 0.22 from axis to 30 mm from the periphery, steadily increasing from here to the periphery. The V/G ratio is 0.20-0.22 from the axis to 30 mm from the periphery, from here to the periphery 0.20-0.22 or increasing steadily toward the periphery. Thus the low pull rate crystals can be grown where OISF ring disappears at the axis and no dislocation cluster is formed.

[0033]

In general the axial temperature gradient in peripheral region is higher compared to the crystal at the axis. The reason is as follows: Heat source in the growth system is at the crystal lower section; the crystal upper section and its surrounding area are at lower temperature; the heat generated and flowing in to the s-l interface is dissipated through the crystal axis as well as to the crystal periphery and thus crystal is cooled during growth process; radiation heat loss from the crystal surface is larger in a puller in which the crystal is cooled faster; therefore the temperature gradient at the peripheral region is in general higher than at the center. In a crystal being grown at a constant pull rate in a conventional puller of fast cooling, the V/G ratio from the periphery to the center decreases. In such CZ growth conditions, even if the V/G ratio is in a non-defects regime in the central region as seen in Fig.2, in the outer region toward the periphery the V/G ratio lies outside the non-defects regime and gets into defects regime of dislocation cluster formation; thus dislocation clusters form unavoidably.

[0034]

Contrarily, in a CZ growth configuration in which crystal cools slowly, heat flows mostly upward even from the periphery; and temperature at the crystal surface near the s-l interface can become relatively higher (compared to the center) due to radiation from the melt, quartz crucible and heater so that the temperature gradient at the periphery region becomes lower than at the center region. But due to radiational heat loss from the surface, lowering of the temperature gradient at the periphery is limited. Thus in a CZ growth configuration in which crystal cools slowly, V/G ratio is constant along the radius or increases slightly toward the periphery, but without indefinite increase. By using such crystal growth configuration, if V/G ratio at the radial center region is controlled in non-defects regime, the V/G ratio does not get out of the non-defects regime at all radial positions. This condition enables to produce crystals in which the OISF ring disappears in the radial center, and dislocation clusters are not formed.

[0035]

The axial temperature gradient at high temperature section close to the melting point is not always constant, but changing slightly from the seed to the tail end. The reason is as follows: heater power changes to keep the crystal diameter constant; steady changes in the crystal length and melt amount; thus thermal environment in CZ growth system changes steadily, and heat flux in the crystal changes. Therefore in the conventional CZ technique, the axial temperature gradient and V/G change as the crystal growth proceeds, defects and its distribution slightly change along the crystal direction (refer to Fig.3).

[0036]

In this invention, the pull rate V is adjusted in order to keep the V/G ratio constant (refer to Fig.5). This makes it possible to grow crystals without any defects in full length. Crystal diameter is controlled in the conventional way when the pull rate is adjusted to control the defects. In other words, the heater power adjustment (for diameter control) and additional pull rate modulation around the target one necessary to achieve defect control, where pull

rate is changed every few seconds, does not change the average pull rate, and thus the target  $V/G$  is maintained. Formation of defects is not affected with such a short term changes in the pull rate.

[0037]

[Practical embodiment] Practical embodiments are described in the following.

[0038]

A CZ puller with 18" quartz crucible and graphite susceptor, capable of growing 6" diameter crystal was employed. A total thermal analysis was made of the hotzone including height of the graphite susceptor relative to the heater, distance between the melt surface and the tip of a conical heat reflector made of graphite, 5 mm thick with an opening 200 mm in diameter, and heater insulation pack. The hotzone configuration was decided in order to keep the  $V/G$  ratio constant in the center region up to 30 mm from the periphery, and keep it steadily increasing from 30 mm from the periphery toward the periphery. Results of the calculation ( $V/G$  vs. Radius) is shown in Fig.3, where 0, 100, 200, ...700 mm are the crystal lengths.

[0039]

After the above conditions were decided, the 18" crucible was charged with 65 kg high purity poly crystalline silicon doped with boron, and melted down. 150 mm diameter crystal of  $\langle 100 \rangle$  orientation, 1300 mm long was grown at a low pull rate of 0.45 mm/min.

[0040]

Crystal was cut parallel to the axis in slabs, 1 mm thick; etched off in a mixture of HF and HNO<sub>3</sub> to eliminate the machining strain, then etched in dilute HF, rinsed in high purity DI water, and then dried. The sample was annealed at 800° C /4 h + 1000° C /16 h in dry oxygen. The defects formation and distribution were investigated by x-ray topography. The defects distribution is shown in Fig.4. The observed defects distribution corresponds to the calculated results shown in Fig.3, to be described below. The numbers in Fig.4 are the crystal lengths, and corresponds to the crystal lengths in Fig.3.

[0041]

The  $V/G$  ratio is about constant from the axis to 45 mm where  $G$  is the average axial temperature gradient from the melting point to 1300° C;  $V/G$  increase steadily from 45 mm to the edge. The 45 mm from the axis is 30 mm from the edge.

[0042]

As a result of the  $V/G$  adjustment,  $V/G$  was less than 0.20 in the central region at 200 mm crystal length from the seed end, and dislocation clusters were formed in the whole radius. From 200 to 500 mm length, the  $V/G$  ratio was 0.22-0.20. Especially close to 400 mm length the  $V/G$  ratio is 0.22-0.20 from axis to 45 mm, increasing steadily toward the edge, and within the no-defects regime in whole radius; the result is that no harmful grown-in defects in terms of OISF ring, LSTDs and others are present in all radial positions. From 500 mm to the tail end,  $V/G$  ratio is larger than 0.22 at the crystal axis, OISF ring is formed, and LSTDs inside the ring.

[0043]

Based on the results described above, the  $V/G$  ratio close to 400 mm length of the experimental example is extended to the whole crystal length as shown in Fig.5. In other word, the pull rate  $V$  is adjusted so that the  $V/G$  ratio is maintained at 0.22 - 0.20 from axis to 45 mm, steadily increasing from 45 mm toward the edge. Except the pull rate, other crystal growth parameters were kept the same, and a 6" boron-doped  $\langle 100 \rangle$  crystal of 1300 mm length was grown. Defects distribution in crystal were investigated in a same fashion as in the Example described previously. From seed to opposite end, no defects in terms of OISF ring, LSTDs and dislocation clusters were present.

[0044] (Effectiveness of the invention)

As described above, single crystalline silicon wafers of this invention do not contain, in the whole radius, any grown-in harmful defects (LSTDs, OISF ring, dislocation clusters), which are thermally stable and degrade the gate oxide reliability or cause leakage if present in the device active region. The wafers of this invention prevent

degradation of (device) characteristics in high level integration devices, and contribute to the progress in manufacturing semiconductor devices.

Due to the wafer production method of the present invention, it's possible to produce easily high quality CZ silicon wafers.

[Brief Explanation of Figures]

[Fig.1]

Schematic showing defect distribution in CZ silicon wafers.

[Fig.2]

V/G vs. wafer radius, defect distribution is depicted. Effect of the V/G curve and its slope on defects formation is shown.

[Fig.3]

V/G vs. wafer radius showing defects distribution. Effect of the V/G levels on defects distribution is shown at various crystal length of the Example in the invention in which the pull rate was kept constant (0.45mm/min).

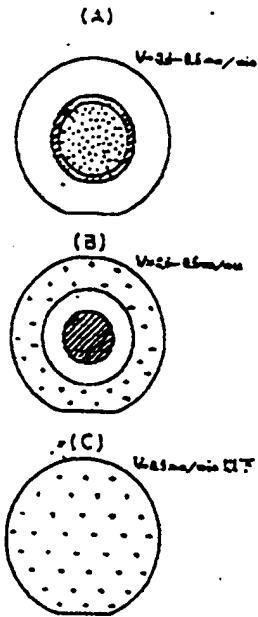
[Fig.4]

Schematic of defects distribution of longitudinal section of the Example 6" diameter crystal (investigated by x-ray topography).

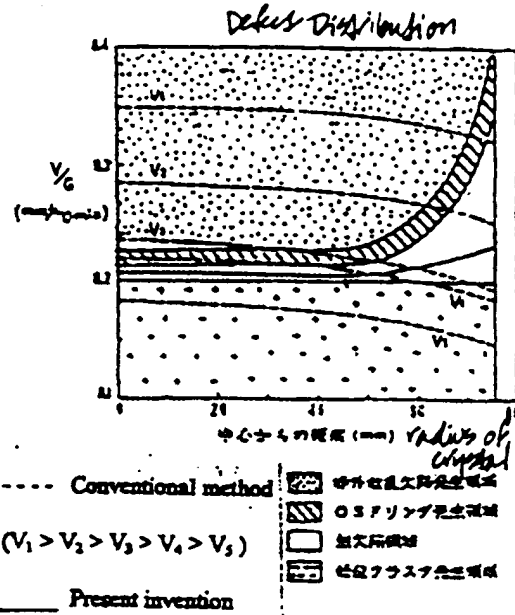
[Fig.5]

V/G vs. wafer radius and defects distribution. V/G curve to prevent (grown-in harmful) defects in the whole length of crystal is shown ( refer to the Section [0043]).

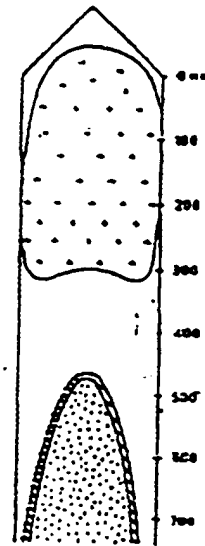
(図1)



(図2)

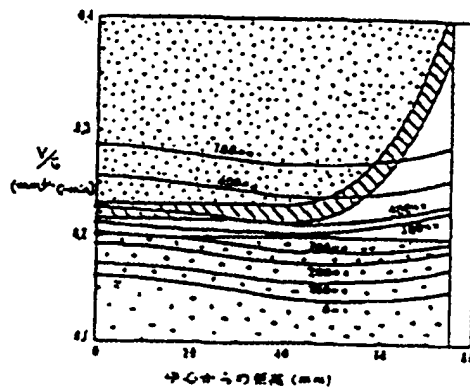


(図4)

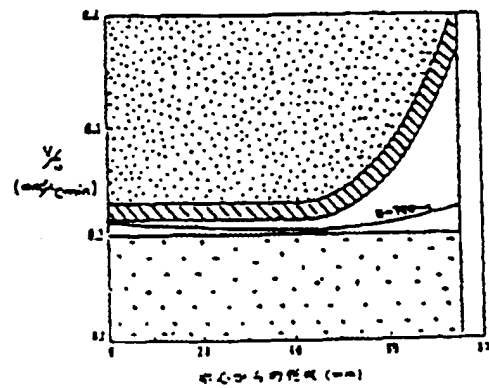


- LSTD formation regime
- OISF ring formation regime
- No-defects regime
- Dislocation cluster formation regime

(図3)



(図5)





小島 → 石井

(19) 日本国特許庁 (J P)

(20) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330316

(43) 公開日 平成8年(1996)12月13日

(51) Int. Cl.	特許記号	庁内審査番号	FI	技術表示箇所
H01L 21/322			H01L 21/322	Y
C30B 15/22			C30B 15/22	
29/06	502	7202-4G	29/06	502 J

審査請求 未請求 請求項の数 2 FD (全 7 頁)

(21) 出願番号 特願平7-158458

(22) 出願日 平成7年(1995)5月31日

(71) 出願人 000205351

住友シチックス株式会社

兵庫県尼崎市京浜町1番地

(72) 発明者 室家 正隆

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社九州事業所内

(72) 発明者 横田 榮治

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社九州事業所内

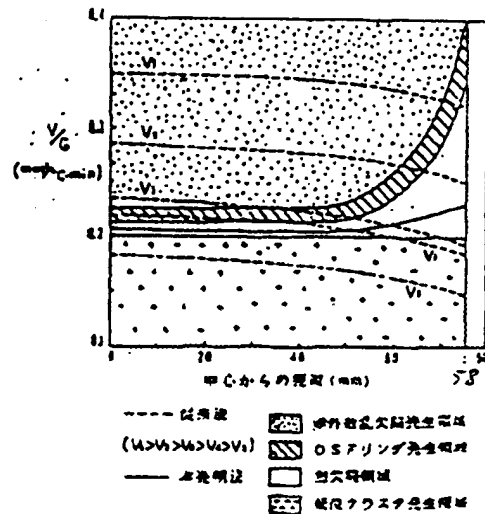
(74) 代理人 弁護士 全形 元重 (外1名) - -

(54) 【発明の名称】 シリコン単結晶ウェーハおよびその製造方法

(57) 【要約】

【目的】 全面にGrown-in欠陥のないシリコン単結晶ウェーハを提供する。

【構成】 チョクラスキー法でシリコン単結晶を育成する際に、引き上げ速度をV (mm/min) とし、シリコン融点から1300℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値をG (℃/mm) とするとき、V/G値を結晶中心位置と結晶外周から30mmまでの位置との間では0.20~0.22mm<sup>2</sup>/℃・min とし、結晶外周から30mmまでの位置と結晶外周位置との間では0.20~0.22mm<sup>2</sup>/℃・min とするか若しくは結晶外周に向かって漸次増加させる。OSFリングがウェーハ中心部で消滅し、且つリングの外側に生じるはずの転位クラスタも発生しない。



$$\frac{V}{G} = 1.3 \times 10^{-3} \frac{\text{mm}^2}{^\circ\text{C} \cdot \text{min}}$$

$$= 0.13 \frac{\text{mm}^2}{^\circ\text{C} \cdot \text{min}}$$

【特許請求の範囲】

【請求項1】 チョクラスキー法により育成されたシリコン単結晶ウェーハであって、熱酸化処理をした際にリング状に発生する酸化誘起視層欠陥がウェーハ中心部で消滅した低速育成ウェーハであり、且つウェーハ全面から転位クラスタが排除されていることを特徴とするシリコン単結晶ウェーハ。

【請求項2】 チョクラスキー法でシリコン単結晶を育成する際に、引き上げ速度を $V$  (mm/min) とし、シリコン融点から1300℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を $G$  (℃/mm) とするとき、 $V/G$ 値を結晶中心位置と結晶外周から30mmまでの位置との間では $0.20 \sim 0.22 \text{ mm}^2 / \text{℃} \cdot \text{min}$  とし、結晶外周から30mmまでの位置と結晶外周位置との間では $0.20 \sim 0.22 \text{ mm}^2 / \text{℃} \cdot \text{min}$  とするか若しくは結晶外周に向かって漸次増加させることを特徴とするシリコン単結晶ウェーハ製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子等の製造に用いられるシリコン単結晶ウェーハ、特にチョクラスキー法（以下CZ法という）により育成されたシリコン単結晶ウェーハおよびその製造方法に関する。

【0002】

【従来の技術】 半導体素子の製造に用いられるシリコン単結晶ウェーハは主にCZ法により製造されている。CZ法とは周知の如く石英坩堝内のシリコン融液に種結晶を漬け、石英坩堝および種結晶を回転させながら種結晶を引き上げることで、円柱状のシリコン単結晶を育成するものである。このときの引き上げ速度、すなわち種結晶育成速度は通常 $1.0 \sim 2.0 \text{ mm/min}$  である。

【0003】 ところで、このようなCZ法により育成したシリコン単結晶ウェーハは、熱酸化処理（例えば $1000 \sim 1200 \text{℃} \times 1 \sim 10$ 時間）を受けたときに、リング状に発生するOSFと呼ばれる酸化誘起視層欠陥を生じることがある。このOSFリングは引き上げ速度が速くなるにつれて単結晶の外周側へ移動することが知られており、現在LSIの製造には、OSFリングが単結晶の最外周に分布するように比較的高速の引き上げ速度、すなわち $1.0 \sim 2.0 \text{ mm/min}$  で育成された高速育成ウェーハが用いられている。

【0004】 しかしながら、このような高速で育成されたシリコン単結晶ウェーハには数種の微小欠陥（以下Grown-in欠陥と称す）が存在し、MOSデバイスのゲート酸化膜耐圧特性を劣化させることが明らかになってきた。また、これらのGrown-in欠陥は熱的に極めて安定であることから、デバイスの製造プロセス中においても消滅せず、ウェーハ表面近傍の活性領域に残留し、酸化膜耐圧特性だけでなく接合リーク特性を劣化させることも明らかになってきた（例えばN.Horikawa et al., Seicon

ductor Silicon 1994,p987）。

【0005】 近年LSI等のMOS型高集積半導体素子の集積度増大に伴ってゲート酸化膜が薄膜化され、ソース・ドレイン等の拡散層深さが浅くなったため、ゲート酸化膜の絶縁耐圧特性の向上および接合リーク電流の低減が強く要請されているが、現在LSIの製造に使用されている高速育成ウェーハは、これらの特性が劣るため、最近の特に高い集積度に対しては対応が困難になってきた。

【0006】 そこで最近になって、引き上げ速度が $0.8 \text{ mm/min}$  以下の中速または低速でシリコン単結晶を育成する方法が特開平2-267195号公報により提案された。しかしながら、このような中速～低速で育成したシリコン単結晶ウェーハにも下記のような結晶品質上の問題点がある。

【0007】

【発明が解決しようとする課題】 一般に、単結晶内の温度分布はCZ炉内の構造に依存しており、引き上げ速度が変化しても、その分布は大きくは変わらない。そのため、同じ構造を有する装置により、引き上げ速度を変化させて単結晶を育成すると、図1に示すような引き上げ速度と欠陥発生分布との関係が見られる。装置が異なるとこの関係は若干変化するが、傾向まで変化することはない。

【0008】 引き上げ速度が $0.8 \sim 0.6 \text{ mm/min}$  の中速育成の場合には、同図（A）に示すように、シリコン単結晶ウェーハの半径の $1/2$ 付近にOSFリングが発生する。リングの外側と内側とは物性が異なり、OSFリングより外側の領域では、ゲート酸化膜の耐圧特性は良好である。

【0009】 しかし、リングより内側の領域では、いくつかの種類のGrown-in欠陥が存在するため、その耐圧特性は良好でない。なかでも結晶育成中に形成されるas-grown状態で赤外トモグラフィ法で観察される赤外散乱欠陥が約 $10^6$  個/ $\text{cm}^2$  の密度で発生する。酸素析出物と考えられるこの欠陥は熱的に極めて安定であるので、デバイスの熱処理プロセスでも消滅することなく、デバイス活性領域に残留して接合リーク特性も劣化させる。

【0010】 またOSFリング自体は、数mm～10mm程度の幅で発生し、約 $10^4$  個/ $\text{cm}^2$  の高密度でOSFを含むことから、半導体素子の特性、例えば接合リーク特性を悪化させる原因になる。更に、この領域には、ウェーハを熱処理した際に $10^8 \sim 10^9 \text{ cm}^{-3}$  の密度で酸素析出物が発生する。この酸素析出物の核も熱的に安定であり、1250℃の熱処理でも成長する。従って、OSFリング自体もデバイスプロセス後の特性を劣化させる原因になる。

【0011】 シリコン単結晶の引き上げ速度を $0.6 \sim 0.5 \text{ mm/min}$  に低下させた場合には、図1（B）に示すように、OSFリングの直径が更に小さくなり、ウェー

ハの中心付近にリング状または円盤状にOSFが発生する。リングより外側の面積が増大するために、酸化膜耐圧特性は向上するが、代わってリング外側の外周部に転位クラスタが発生する。この転位クラスタは大きさが約10~20 $\mu$ mで密度が約10<sup>3</sup>個/cm<sup>2</sup>程度であり、これも半導体素子の特性を劣化させる原因になることは周知の通りである。

[0012] また、CZ法で育成されたシリコン単結晶ウェーハには、酸素不純物が1~2 $\times 10^{18}$  atoms/cm<sup>3</sup>の濃度で含まれている。そして、この酸素不純物のためにデバイスプロセスでの熱処理(例えば800~1150℃ $\times$ 数十時間)により酸素析出が起こることは上述した通りである。この酸素析出物はデバイス活性領域に発生してデバイスの特性を劣化させる一方で、デバイスプロセス中に発生する重金属汚染をゲッターリングするサイトとして作用する。

[0013] OSFリングより内側の領域では酸素析出が強く起こるため、通常のイントリンシックゲッターリング能(以下IG能という)が得られるが、OSFリングより外側の転位クラスタが発生する領域では、この酸素析出が起こりにくいためIG能は低下する。

[0014] このように、引き上げ速度が0.8~0.5 mm/min の中で育成されたウェーハは、OSFリングが残る、そのリング自体が欠陥発生領域であるだけでなく、リングの内外にも欠陥が発生するため、高集積度の半導体素子の製造には適さない。

[0015] 一方、引き上げ速度が0.5 mm/min 以下の低速で育成されたウェーハでは、図1(C)に示すように、OSFリング領域はウェーハの中央部で消滅し、これに伴いリングより内側の赤外散乱欠陥が発生する領域も消える。しかし、ウェーハの全面に転位クラスタが発生する。転位クラスタの発生がデバイス特性の低下やIG能の低下の原因になることは上述した通りである。従って、低速育成ウェーハも高集積度半導体素子の製造に適さない。

[0016] 以上のように、現状のCZ法によるシリコン単結晶の育成では、引き上げ速度をいかに調整しても結晶径方向の少なくとも一部に有害欠陥が生じ、全面無欠陥のウェーハは製造されない。

[0017] 本発明の目的は、全面にわたって有害欠陥がない高品質なCZ法育成のシリコン単結晶ウェーハおよびその製造方法を提供することにある。

[0018]

(課題を解決するための手段) ところで本発明者らは先にOSFリングの発生位置に関し次のような重要な事実を得た。

[0019] 同一の構造を有する結晶育成装置では、OSFリングの径は結晶の引き上げ速度に依存して変化し、引き上げ速度の低下と共にその径は減少するが、育成装置が相違し、ホットゾーン構造が変化すると、同一

の引き上げ速度であってもOSFリングの径は異なる。しかし、単結晶の引き上げ速度をV (mm/min) とし、シリコン融点から1300℃までの高温域における引き上げ軸方向の結晶内温度勾配の平均値をG (℃/r) とするとき、V/Gで表わされる比によりOSFリングの径は一義的に決定される。つまり、V/G値を制御することにより、OSFリングを望みとする位置に発生させることができ、また消滅させることも可能となる。

[0020] しかしながら、V/G値の制御によりOSFリングの発生位置を制御しても赤外散乱欠陥、転位クラスタ等のGrown-in欠陥まで消滅させることはできない。

[0021] そこで本発明者らは欠陥分布に及ぼすV/G値の影響を次のようにして調査した。単結晶の周からそれぞれ100, 200, 300, 400 mmの各位置に温度計がある場合の温度分布を総合伝熱解析により求めた。この伝熱解析においては、融結内の対流による温度分布の効果が考慮されていないと、実際と異なる温度分布形状が得られ、またこれによって結晶内の特に温度分布に近い高温部での温度分布が実際のものとは若干異なることが懸念される。この計算上の問題を改善し、高温部におけるより正確な温度分布を得るために、さらに上記各位置での温度分布の形状を実結晶から計測し、界面での温度をシリコンの融点として、これと上記伝熱計算による結晶表面での温度を境界条件として再び結晶内部の軸方向温度分布を計算し、これから軸方向温度勾配の径方向分布を計算した。径方向位置を横軸とし、V/G値を縦軸として欠陥分布を示したのが図2である。

[0022] 図2から分かるように、V/G値が0.20 mm<sup>2</sup>/℃ $\cdot$ min未満の場合、径方向全域において転位クラスタが発生する。V/G値が0.20 mm<sup>2</sup>/℃ $\cdot$ minより大きくなるに連れて無欠陥領域、OSFリング発生領域、赤外散乱欠陥発生領域の順に領域が変化する。ここで無欠陥領域の下限は径方向位置に関係なく一定(0.20 mm<sup>2</sup>/℃ $\cdot$ min)であるが、上限は結晶中心と結晶外周から30 mmまでの位置との間では一定(0.22 mm<sup>2</sup>/℃ $\cdot$ min)となり、結晶外周から30 mmまでの位置と結晶外周位置との間では、結晶外周に近づくに連れて大となる。そして、ホットゾーン構造が異なる場合でも各種欠陥はこの図に従って分布する。

[0023] すなわち、ホットゾーン構造と引き上げ速度が決まると、その育成装置が持つ結晶径方向でのV/G値が破線のように決定される。引き上げ速度がV<sub>1</sub>の場合、そのV/G曲線が赤外散乱欠陥発生領域を横切る結晶部位で赤外散乱欠陥が生じ、OSFリング発生領域を横切る結晶部位でOSFリングが発生する。よって引き上げ速度がV<sub>1</sub>の場合はウェーハの最外周部にOSFリングが発生し、その内側の領域には赤外散乱欠陥が生じる。引き上げ速度が低下するとV/G曲線はV<sub>2</sub>、V

3.  $V_4$ ,  $V_5$  のように移動し、結晶に発生する欠陥の径方向分布が変化する。

[0024] ここで注目すべきことは、CZ法によるシリコン単結晶の育成では単結晶の径方向全域において無欠陥となる $V/G$ が存在すること、換言すれば $V/G$ によっては単結晶の径方向全域において欠陥を無くすのが可能であること、しかし従来の育成では単結晶の引き上げ速度に関係なく $V/G$ 曲線が一般に右下がりとなるため径方向全域において無欠陥とするのができないことの2点である。

[0025]  $V/G$ 曲線が右下がりとなるのは、後で詳しく述べるが、結晶内の軸方向温度勾配が中心部に比して外周部で大きいことによる。すなわち、 $V$ が一定の状態で $G$ が中心から外周へ向かうに連れて増大するために $V/G$ 曲線は右下がりとなる。そのため径方向の全域において無欠陥となる $V/G$ が存在するにもかかわらず、ウェーハ全面を無欠陥にすることはできない。

[0026] 例えば $V$ が $V_1$ の場合はウェーハの最外周部にOSFリングが発生し、その内側に赤外散乱欠陥が発生する。これは従来の高速育成である。 $V$ が $V_1$ より遅い $V_2$ ,  $V_3$ になると、ウェーハの径方向中間部にOSFリングが発生し、その外側は無欠陥領域となるが、内側には赤外散乱欠陥が発生する。これは中速育成であり図1(A)に相当する。 $V$ が更に遅い $V_4$ になると、ウェーハ中心部にOSFリングが発生し、その外側は無欠陥領域が残るが、最外周部には転位クラスタが発生する。これは図1(B)に相当する中速育成である。 $V$ が更に遅い $V_5$ になると、OSFリングは中心部で消滅するが、ウェーハ全面に転位クラスタが発生する。これは図1(C)に相当する低速育成である。また仮に、結晶中心部で $V/G$ を欠陥が生じない $0.20 \sim 0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ に管理しても、結晶中心部から外れるに連れて $V/G$ が低下するために、中心部以外は転位クラスタを生じる。

[0027] このように、CZ法によるシリコン単結晶の育成では、単結晶の径方向全域において無欠陥領域を形成し得る $V/G$ が存在するにもかかわらず、 $V/G$ が右下がりの曲線であるために、ウェーハ全面を無欠陥とすることができない。

[0028] しかしながら、もし仮に、単結晶の径方向において $V/G$ を径方向に一定の直線、あるいは外周部において漸増する右上りの曲線とすることができれば、径方向の全域において欠陥の発生を防止することができる。この仮定に基づき本発明者らは更なる調査解析を行った。その結果、結晶育成装置のホットゾーンの構造によっては $V/G$ を図2に実線で示すような直線乃至は右上りの曲線とすることができ、その結果、単結晶の径方向全域において無欠陥領域が形成され、ここにこれまで不可能であった全面無欠陥ウェーハの製造が可能になることを知見し、本発明を完成させるに至った。

[0029] 本発明のシリコン単結晶ウェーハは、CZ法により育成されたシリコン単結晶ウェーハであって、熱酸化処理をした際にリング状に発生する酸化誘起型欠陥(OSF)がウェーハ中心部で消滅した低速育成ウェーハであり、且つウェーハ全面から転位クラスタが排除されていることを特徴とする。

[0030] また本発明のウェーハ製造方法は、CZ法でシリコン単結晶を育成する際に、引き上げ速度を $V$

( $\text{mm}/\text{min}$ )とし、シリコン融点から $1300^\circ\text{C}$ までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を $G$ ( $^\circ\text{C}/\text{min}$ )とすると、 $V/G$ 値を結晶中心位置と結晶外周から $30 \text{ mm}$ までの位置との間では $0.20 \sim 0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ とし、結晶外周から $30 \text{ mm}$ までの位置と結晶外周位置との間では $0.20 \sim 0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ とするか若しくは結晶外周に向かって漸次増加させることを特徴とする。

[0031]

[作用] 本発明のウェーハは、OSFリングがウェーハ中心部で消滅した低速育成ウェーハであるので、OSFおよびその内側に発生する赤外散乱欠陥を含まない。そして、外側に発生するはずの転位クラスタも排除されている。よって全面にわたり有害欠陥のない高品質ウェーハとなる。

[0032] また、本発明のウェーハ製造方法では、結晶径方向で $V/G$ 値が無欠陥領域のみを横切るようにCZ炉の温度分布を調節する。ここで無欠陥領域の下限値は、 $0.20 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ で一定であり、上限値は、外周から $30 \text{ mm}$ を除く部分においては、 $0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ で一定であり、外周から $30 \text{ mm}$ までの部分においては外周に向かって漸次増大している。従って、 $V/G$ 値を結晶中心位置と結晶外周から $30 \text{ mm}$ までの位置との間では $0.20 \sim 0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ とし、結晶外周から $30 \text{ mm}$ までの位置と結晶外周位置との間では $0.20 \sim 0.22 \text{ mm}^2 / ^\circ\text{C} \cdot \text{min}$ とするか若しくは結晶外周に向かって漸次増加させることにより、OSFリングが結晶中心部で消滅し、且つ転位クラスタを含まない低速育成結晶が得られる。

[0033] 一般に結晶内の軸方向温度勾配は中心部に比較して外周部で大きい。これは、CZ炉内の発熱部が結晶よりも下にあり、結晶の上方と周囲が低温部であることから、固液界面から流入した熱流が結晶中を引き上げ軸にそって上方及び結晶の表面方向(外周)に向かって流れることで、結晶が冷却されるためであり、結晶が冷却され易いほど結晶表面からの放熱が大きく、外周部での温度勾配は大きくなる傾向がある。従って、結晶冷却能の大きい構造を有する一般のCZ炉では、一定の引き上げ速度で成長中の結晶内の $V/G$ の径方向分布は、中心から外周に向かって低下する傾向がある。このようなCZ炉では、中心部で $V/G$ 値が図2の無欠陥領域にあったとしても、外周に近づくとその領域から外

れ、転位クラスタが発生する領域を横切るため、転位クラスタの発生は避けられない。

(0034) しかし逆に、結晶が冷却されにくいCZ炉は、熱流の方向が外周よりも主に上方に向かって流れ、逆に融点に近い高温部の結晶表面は、融液や石英増培、ヒーター等からの輻射によって、温度が相対的に高くなる傾向があるため、温度勾配は中心よりも若干低くなる。ただし、結晶表面からの放熱も少なからずあるため、無欠陥に温度勾配が小さくなることはない。このことから、結晶が冷却されにくい構造を有するCZ炉では、V/G値は径方向に一定か、もしくは若干増大し、無欠陥に増大しない傾向となる。従って、このようなCZ炉を使用し、且つ結晶中心部でV/G値を無欠陥領域に存在させておけば、V/G値は径方向全域において無欠陥領域から外れることはない。その結果、OSFリングが結晶の中心部で消滅した低速度育成結晶でありながら、転位クラスタが発生しない単結晶が得られる。

(0035) 結晶内の融点に近い高温部における温度勾配は、結晶軸方向で必ずしも一定ではなく、トップ部からテイル部にかけて若干変化する。これは、結晶成長時に一定の直径を維持するためにヒーターパワーが変化することや、結晶長、熱放熱量等の変化によってCZ炉内の熱的な環境が徐々に変化することによって、結晶に流入流出する熱流が変化するためである。従って、従来のCZ法においては、引き上げ速度の増大に伴う結晶軸方向の温度勾配の変化によってV/G値も変化した。発生する欠陥分布も軸方向にわずかながら変化する(図3参照)。

(0036) そこで、結晶軸方向の温度勾配Gの変化に対して、V/Gが一定になるように引き上げ速度Vを調整する(図5参照)。そうすることにより、軸方向全域においても全面無欠陥とすることが可能となる。このように、欠陥制御の目的で引き上げ速度を制御したとしても、結晶の直径制御は従来と同様に可能である。すなわち、ヒーターパワーの制御とそれと連動または独立に、欠陥制御のために必要な目標引き上げ速度の周りで、数秒の時間毎に一定のスパンで引き上げ速度を変動させたとしても、平均の引き上げ速度Vは変わらず、目的とするV/G値は維持される。これは、このような短時間の引き上げ速度の変動に対して、欠陥の発生が影響されないためである。

(0037)

(実施例) 以下に本発明の実施例を説明する。

(0038) 18" 石英増培及びカーボン増培が設置された6" 単結晶の育成可能なCZ炉において、増培の周囲に設置された円筒状のカーボンヒーターと増培との相対位置、育成結晶の周囲に設置されたカーボンからなる厚さ3mm、開口径200mmの半円錐形状の輻射遮蔽体の先端と融液表面との距離、ヒーター周囲の断熱材充填等の種々条件を総合伝熱計算によって種々検討し、結晶外周から30mmまでの領域を除く部分においてはV/

Gがほぼ一定で、外周から30mmまでの領域においては外周に向かってV/Gが単調に増大するように上記条件を決定した。計算結果を図3に示す。図中の0.100...700mmは結晶引き上げ量である。

(0039) 上記条件を決定した後、18" 石英増培に高純度多結晶シリコンを65kg入れ、ボロンをドーピングして、多結晶シリコンを加熱溶解し、直径が150mmで結晶成長方位が<100>の単結晶を引き上げ速度が0.45mm/minの低速で長さ1300mmまで育成した。

(0040) 育成後の結晶を結晶軸方向と平行に厚さ1.5mmで切り出し、HFおよびHNO<sub>3</sub> からなる混酸溶液中で加工型を溶解除去し、さらに希HF溶液中に浸漬し、その後純水でリンスし乾燥させた。このサンプルを800℃/4hr+1000℃/16hr乾燥炉中で熱処理した後、X線トポグラフによって欠陥の発生分布を調べた。欠陥の分布を図4に示すが、調べた欠陥の分布は以下のように図3の計算結果に対応するものとなった。なお、図4中の数字は単結晶の周からの長さで、図3中の引き上げ量に対応する。

(0041) 引き上げ速度Vと融点から1300℃までの結晶軸方向温度勾配の平均値Gとの比V/Gは、結晶の径方向に中心から45mmの位置まではほぼ一定値で、45mmの位置からは外周部に向かって単調に増大している。なお、中心から45mmの位置は外周から30mmの位置である。

(0042) V/Gをこのように管理した結果、結晶トップから200mmまでの軸方向部位では、結晶中心部でのV/Gが0.20mm<sup>2</sup>/℃・min未満であり、径方向全域に転位クラスタが発生した。200mmから500mmにかけては、結晶中心部でのV/Gが0.22~0.20mm<sup>2</sup>/℃・minとなっており、特に400mm近傍では結晶中心から45mmまでの領域でV/Gが0.22~0.20mm<sup>2</sup>/℃・minに維持され、45mmから外側の領域でV/Gが単調に増加し、これらにより径方向全域でV/Gが無欠陥領域内に管理されたため、径方向全域でOSFリングや赤外散乱欠陥等のその他の有害なGrown-in欠陥の発生は見られなかった。500mmから結晶テールにかけての部位では、結晶中心部でのV/Gが0.22mm<sup>2</sup>/℃・minを超えたため、OSFリングが発生し、その内側には赤外散乱欠陥が発生した。

(0043) このような結果をふまえて次に、図5に示すように、前記実施例における400mm近傍でのV/G曲線を結晶軸方向の全長において再現した。すなわち、結晶中心から45mmまでの領域でV/Gが0.22~0.20mm<sup>2</sup>/℃・minに維持され、45mmから外側の領域でV/Gが単調に増加するように結晶軸方向での目標引き上げ速度を設定した。引き上げ速度を除く他の結晶条件は前記実施例と同様に設定し、6" Bドーピング<100>、結晶長1300mmの単結晶を育成した。

前記実施例と同様の方法によってこの結晶内の欠陥の発生分布を調べた。トップ部からテイル部にかけての全長において、OSFリング、赤外散乱欠陥、転位クラスターの発生は見られなかった。

〔0044〕

〔発明の効果〕以上に説明した通り、本発明のシリコン単結晶ウェーハは、熱的に極めて安定でデバイス活性領域に残留または成長し、ゲート酸化膜の信頼性や接合リーク特性を劣化させる有害なGrown-in欠陥（赤外散乱欠陥、OSFリング、転位クラスター）を全面にわたって含まないために、高集積半導体素子に使用してその特性劣化を防ぎ、素子製造歩留の向上に寄与する。また、本発明のウェーハ製造方法によってこのような高品質のCZシリコン単結晶ウェーハが容易に製造可能となる。

〔図面の簡単な説明〕

〔図1〕CZ法で育成したシリコン単結晶ウェーハの欠

陥分布を示す模式図である。

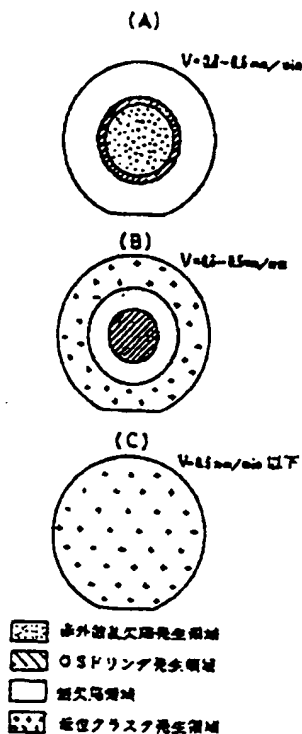
〔図2〕横軸を結晶径方向位置とし縦軸をV/Gとしたときの両者の関係（V/G曲線）および欠陥分布を示す図表で、V/G曲線の傾きが欠陥の発生に及ぼす影響を示す。

〔図3〕横軸を結晶径方向位置とし縦軸をV/Gとしたときの両者の関係（V/G曲線）および欠陥分布を示す図表で、V/G曲線のレベルが欠陥の発生に及ぼす影響を示す。

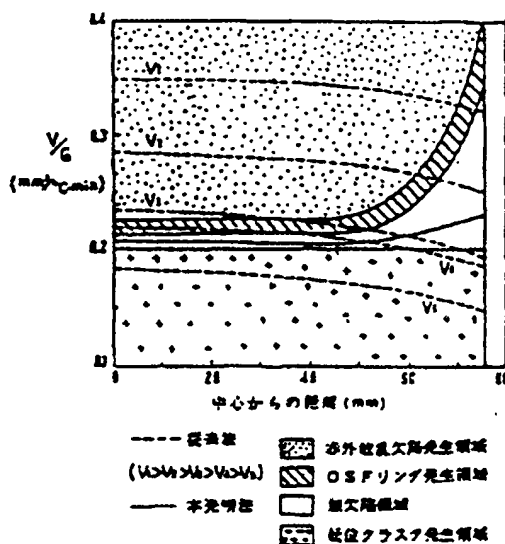
〔図4〕結晶軸を含む平面での欠陥分布を示す模式図である。

〔図5〕横軸を結晶径方向位置とし縦軸をV/Gとしたときの両者の関係（V/G曲線）および欠陥分布を示す図表で、軸方向全長にわたって欠陥の発生を防止する場合を示す。

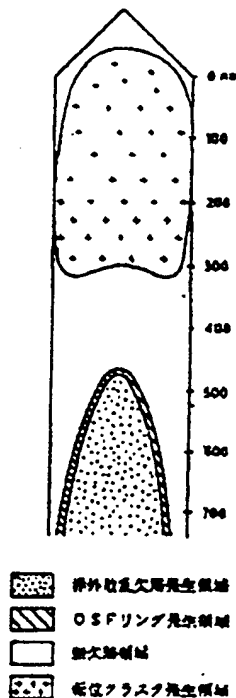
〔図1〕



〔図2〕

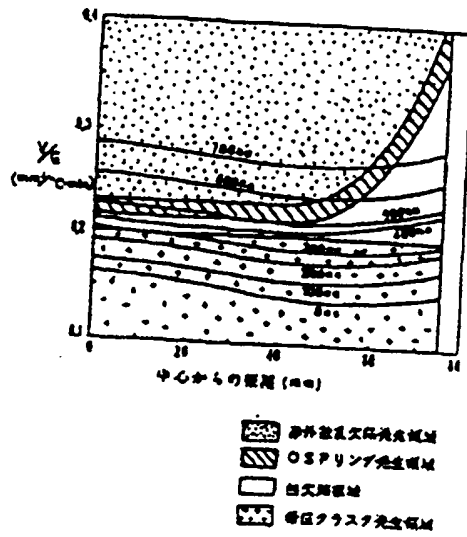


〔図4〕



150 mm crystal

(図3)



(図5)

